

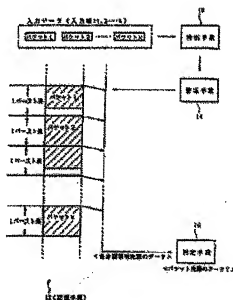
PACKET/BURST CONVERSION DEVICE

Publication number: JP3101340
 Publication date: 1991-04-26
 Inventor: YOSHINO ISAO
 Applicant: FUJITSU LTD
 Classification:
 - International: H04L12/56; H04L12/56; (IPC1-7): H04L12/56
 - European:
 Application number: JP19890238302 19890913
 Priority number(s): JP19890238302 19890913

Report a data error here

Abstract of JP3101340

PURPOSE: To miniaturize circuit constitution by judging whether data read from the leading part of dividing areas is the leading data of a packet or not. **CONSTITUTION:** A write means 14 allocates the dividing areas continuing by a number, for which the packets are stored, to the packets 1, 2,...,k, all of which are detected in a detection means 10. The write means 14 writes the detection packets from the head of the allocation areas. Then, packet data are read into a judgment means 16 from the leading parts of respective dividing areas and the judging means 16 judges whether the read data is the leading data of the packets or not. When the leading data of the dividing areas is not the leading data of the packets, it is recognized that the same packet is written into plural continuous division areas including the dividing area. Thus, the circuit is miniaturized.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-101340

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月26日

H 04 L 12/56

7830-5K H 04 L 11/20

1 0 2 A

審査請求 未請求 請求項の数 1 (全7頁)

⑯ 発明の名称 バケット/バースト変換装置

⑰ 特 願 平1-238302

⑱ 出 願 平1(1989)9月13日

⑲ 発 明 者 吉 野 勲 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 ⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
 ㉑ 代 理 人 弁理士 伊藤 備一郎

明 細 書

1. 発明の名称

バケット/バースト変換装置

2. 特許請求の範囲

入力データから可変長のバケットを逐次検出する検出手段(10)と、

バースト長を単位として記憶領域が分割される記憶手段(12)と、

検出バケットが納まる数だけ連続した分割領域を該バケットに割り当てて該バケットを割当領域の先頭から書き込む書き手段(14)と、

各分割領域の先頭部分からバケットデータを読み出して該データがバケット先頭のデータか否かを判定する判定手段(16)と、

を有する、ことを特徴とするバケット/バースト変換装置。

3. 発明の詳細な説明

[図次]

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

発明の効果

【概要】

可変長のバケットを所定長のバーストへ変換するバケット/バースト変換装置に関し、

回路の小規模化が可能となるバケット/バースト変換装置の提供を目的とし、

入力データから可変長のバケットを逐次検出する検出手段と、バースト長を単位として記憶領域が分割される記憶手段と、検出バケットが納まる数だけ連続した分割領域を該バケットに割り当てて該バケットを割当領域の先頭から書き込む書き手段と、各分割領域の先頭部分からバケットデー

クを読み出して該データがバケット先頭のデータか否かを判定する判定手段と、を有することにより構成される。

【産業上の利用分野】

本発明は、可変長のバケットを一定長のバーストへ変換するバケット／バースト変換装置に関する。

ＴＤＭＡ方式の衛星通信においてＨＤＬＣフレームのバケットが伝送される場合、可変長の各バケットが伝送単位のバーストへこの種の装置により変換される。

その際にバースト長が最大のバケット長と同一に設定された場合、バケット長をバースト長から差し引いた分がほぼ全てのバーストで伝送損失となり、したがって、バケット伝送の効率低下を招く。

このため、バースト長は伝送効率を考慮して最大のバケット長より短く設定され、バースト長より長いバケットは連続した複数のバーストを用い

て伝送される。

【従来の技術】

第４図では従来例の構成が説明されており、同図のバケット検出回路１０に地上側のデータが入力される。

バケット検出回路１０では第５図のデータ構成とされたバケットが入力側の地上側データから逐次検出され、各検出バケットは編集ＲＡＭ１２に順次書き込まれる。

この編集ＲＡＭ１２の記憶領域はｎバイトのバースト長を単位として分割され、各検出バケットにはそのバケット長に応じた数だけ連続した分割領域（以下、バースト領域） $D1 \cdots Da \cdots Dn$ が書き込まれる領域として割り当てられる。

すなわち、バースト長（ｎバイト）より短い検出バケットには単一のバースト領域が、これより長い検出バケットにはそのバケット長が跨る数だけ連続した複数のバースト領域が、各々割り当てられる。

そして、これらの割り当てはアドレス順に行われ、各検出バケットは割当領域の先頭から書き込まれる。

さらに、単一のバースト領域で形成される割当領域に書き込まれた短いバケットは単独バーストとしてランダムアサインで読み出され、複数の連続したバースト領域で形成される割当領域に書き込まれた長いバケットは連続バーストとして読み出され、衛星へ送信される。

このようにして編集ＲＡＭ１２へ書き込まれる検出バケットのアドレスは編集ＲＡＭ書込アドレス発生回路１４で得られており、その編集ＲＡＭ書込アドレス発生回路１４にはバケット検出回路１０からバケット検出のタイミング信号が与えられる。

第６図では編集ＲＡＭ書込アドレス発生回路１４の作用が説明されており、バッファーションがバケット終了の検出タイミングで次へ歩進される。

これによりバケット終了タイミングと対応した

バッファーションとそれらバッファーションの間隔を示すアドレスデータが得られ、検出バケットは編集ＲＡＭ書込アドレス発生回路１４のアドレスデータにしたがって編集ＲＡＭ１２へ前述のようにして書き込まれる。

また、バケット検出回路１０から選出された検出バケットと編集ＲＡＭ書込アドレス発生回路１４から選出されたアドレスデータとは単連判定回路 $40-1 \cdots 40-a \cdots 40-m$ に与えられている。

それらの単連判定回路 $40-1 \cdots 40-a \cdots 40-m$ は各バースト領域 $D1$ （アドレス $A1 \sim An$ ） $\cdots Da$ （アドレス $Aan+1 \sim A(a+1)n$ ） $\cdots Dn$ （アドレス $Amn+1 \sim A(n+1)n$ ）に対して設けられており、単連判定回路 $40-1 \cdots 40-a \cdots 40-m$ では対応のバースト領域 $D1 \cdots Da \cdots Dn$ がバースト長より短いバケットの書き込まれた単独バーストのものか、あるいはバースト長より長いバケットが部分的に書き込まれた連続バーストのものか、

が各々判定される。

これら基準判定回路40-1・・・40-a・・・40-nの判定結果は通知レジスタ42へ与えられ、CPU16に読み取られる。

CPU16では定期のポーリングが行われ、そのポーリング周知中に編集RAM12で蓄積された抽出バケットの数が通知レジスタ42を介して与えられた基準判定回路40-1・・・40-a・・・40-nの判定結果から確認される。

そしてデータバーストのアサインが終了すると、編集RAM記憶アドレス発生回路44に対して動作指令が出力され、編集RAM読み出しアドレス発生回路44の出力アドレスで編集RAM12から各バーストが読み出される。

すなわち、バースト長より短いバケットはランダムアサインで単独のバーストを用いて送出され、バースト長より長いバケットは複数のバーストに分割されて連続送出される。

〔発明が解決しようとする課題〕

そして、抽出手段10で抽出されたバケット1、2・・・またはkにはこのバケットが納まる数だけ連続した分割領域が書き込手段14により割り当てられる。

また、その書き込手段14により抽出バケットが割当領域の先頭から書き込まれる。

さらに、各分割領域の先頭部分からバケットデータが判定手段16に読み出され、判定手段16ではその読出データがバケットの先頭データか否かが判定される。

〔作用〕

本発明では、抽出バケットが記憶手段12に一旦書き込まれ、その後において、各分割領域(バースト領域)の先頭部分がバケット先頭のデータか否かが判定される。

したがって、分割領域先頭のデータがバケット先頭のデータでない場合には、この分割領域を含む連続した複数の分割領域に同一の抽出バケットが書き込まれていることを確認できる。

しかしながら従来においては、各バースト領域が単独バーストのものか、あるいは連続バーストのものかを判断するための回路(40-1・・・40-a・・・40-m)が必要となり、さらにそれら回路の出力を通知するための回路(42)も必要となるので、通信量の増加によって編集RAM12が大容量化したり、バースト長が短く設定されると、装置の回路構成が大規模なものとなる。

本発明は上記従来の事情に鑑みてなされたものであり、その目的は、回路の小規模化が可能となる装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明に係る装置は第1図のように構成されている。

周囲の抽出手段10では入力データから可変長のバケット1、2・・・kが逐次抽出される。

また、記憶手段12の記憶領域はバースト長を単位として複数の記憶領域に分割される。

このため、それらの分割領域に格納されていたバケットデータを連続バーストとして送出することが可能となる。

また、それら以外の分割領域に格納されていたデータを単独バーストとしてランダムアサインで送出することが可能となる。

〔実施例〕

以下、図面に基づいて本発明に係る装置の好適な実施例を説明する。

第2図では実施例の構成が説明されており、地上側データからバケット抽出回路10で抽出されたバケットは編集RAM12に書き込まれる。

その書き込みは編集RAM書き込アドレス発生回路14で得られたアドレスを用いて行われており、編集RAM12から読み出されたバーストはバッファ20を介して編集RAM12に送信される。

このバースト読み出しは編集RAM読み出しアドレス発生回路44で得られたアドレスデータに従って行われており、編集RAM読み出しアドレス発生回

路44から送出されたアドレスデータはセレクト22を介して編集RAM12へ与えられる。

またセレクト22にはデータ読み出しアドレスのデータがCPU18から与えられており、編集RAM12からアドレス発生回路44とCPU18のアドレスデータはCPU18の指示に従ってセレクト22で選択される。

そのセレクト22でCPU18のアドレスデータが選択されると、バースト領域D1・・・Da・・・Dnから先頭の2バイト分が順に読み出される。

このときに読み出された各2バイト分のデータはバッファ24を介してCPU18に読み込まれる。

CPU18では編集RAM12から読み込まれた各2バイトデータでバースト領域D1・・・Da・・・Dnに先頭から抽出バケットが書き込まれているか否かが判断される。

すなわち、抽出バケットはバースト領域先頭(すなわちポーション先頭)から書き込まれ、バケ

ット先頭に位置するデータ1a(第5図参照)の値が7Eとなり、これ以外のデータではビットデータで値1が5個までしか連続することはなく、値が7E以外となるので、先頭の1バイト目が値7Eで2バイト目が値7E以外の場合には、そのバースト領域の先頭から抽出バケットが書き込まれていることを確認できる。

また、先頭の1バイト目が値7E以外である場合には、それより前のバースト領域から連続して抽出バケットが書き込まれていることを確認できる。

このため、ランダムアサインで送出すべき単独バーストか、あるいは連続バーストか、をCPU18側で判別することが可能となる。

なお、以上の処理はバースト送出の空き時間を利用して行われており、この処理で得られたデータはCPU18から編集RAM12へアドレス発生回路44に与えられ、これによりバーストの抽出が行われる。

以上説明したように本実施例によれば、ラン

ダムアサインで送出すべき単独バーストかあるいは連続バーストかがソフトウェアで判定されるので、その判定のための回路や判定結果を通知する回路が不要となる。

したがって、装置の回路構成を小規模化することが可能となる。

このことは、通信量の増大で編集RAM12が大容量化した場合やバースト長が短く設定された場合に極めて有効であり、その場合には、従来に比して前述の回路構成を大幅に小規模化することが可能となる。

【発明の効果】

以上説明したように本発明によれば、バースト長で分割された領域が各抽出バケットについてバケット長だけ連続して割り当てられてこの割当領域にその抽出バケットが先頭を含わせて格納され、分割領域の先頭部分から読み出されたデータがバケット先頭のデータか否かが判定されるので、その判定結果から各分割領域のバケットデータがラ

ンダムアサインで送出すべき単独バーストかあるいは連続バーストかを判断できる。

したがって、各分割領域について同様な判定を行う回路やそれらの判定結果を通知する回路が不要となり、このため、装置の回路構成を小規模化することが可能となる。

このことは、通信量の増大でバケットを記憶すべき容量が増大した場合やバースト長が短いものに設定された場合において極めて顕著であり、それらの場合には、回路規模の大幅な縮小が可能となる。

4. 図面の簡単な説明

第1図は発明の原理説明図。

第2図は実施例の構成説明図。

第3図は編集RAMのデータ構成説明図。

第4図は従来例の構成説明図。

第5図はバケットのデータ構成説明図。

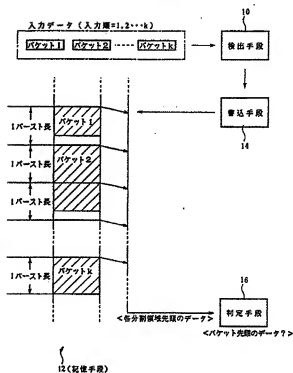
第6図は編集RAM書込アドレス発生作用説明図。

である。

- 10・・・パケット検出回路
- 12・・・拡張RAM
- 14・・・拡張RAM番込アドレス発生回路
- 16・・・CPU
- 20・・・バッファ
- 22・・・セレクタ
- 24・・・バッファ
- 44・・・拡張RAM読出アドレス発生回路

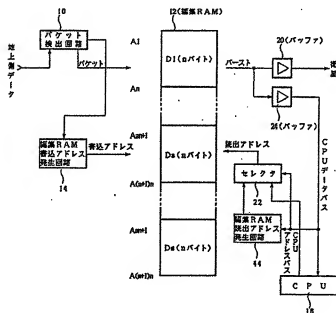
代理人弁理士

伊藤 昌一 郎



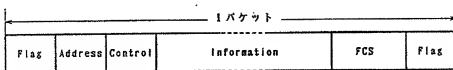
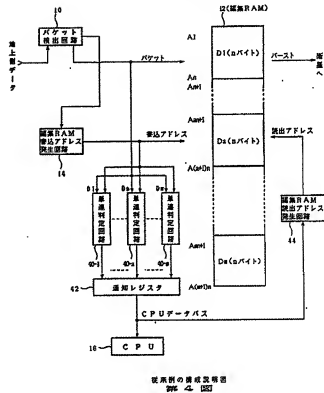
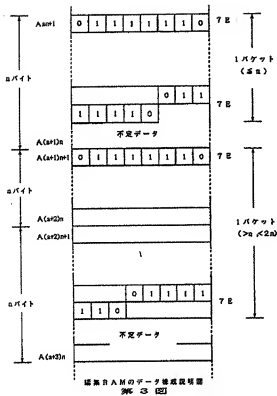
発明の原理説明図

第1図 図1

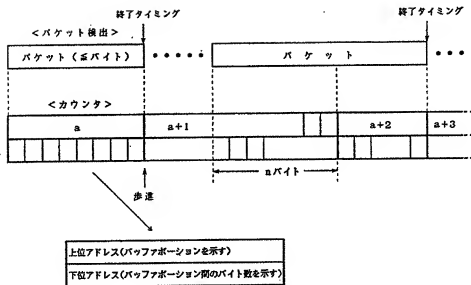


実施例の構成説明図

第2図 図2



パケットのデータ構成説明図
第5図



パケット A M 書込アドレスの発生作用説明図
第 6 図

